

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0030

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: July 25, 2003

Art Unit: Unassigned

Title: MEMORY DEVICE WITH PROGRAMMABLE PARAMETER
CONTROLLER

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0081102 filed December 18, 2002

Respectfully submitted,

Date: July 25, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By



Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0081102
Application Number

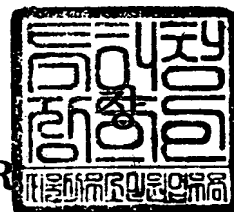
출원년월일 : 2002년 12월 18일
Date of Application DEC 18, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 21 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 18
【국제특허분류】	H01L
【발명의 명칭】	특성 조정 장치를 부가한 메모리 장치
【발명의 영문명칭】	Memory Device Comprising Parameter Control Device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	26	면	26,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	17	항	653,000	원
---------	----	---	---------	---

【합계】	708,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 의한 특성 조정 장치를 구비한 메모리 장치는 비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부, 및 소정의 입력 신호에 대응하는 신호를 출력하되 상기 출력된 신호는 상기 레지스터 제어부에서 출력된 신호에 따라 그 특성이 다르게 제어되는 특성 제어부를 포함한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

특성 조정 장치를 부가한 메모리 장치{Memory Device Comprising Parameter Control Device}

【도면의 간단한 설명】

- 도1은 강유전체 커패시터의 특성을 나타내는 히스테리시스 곡선.
- 도2는 강유전체 메모리 장치의 단위 셀 구성도.
- 도3은 강유전체 메모리 장치의 단위 셀의 동작 타이밍도.
- 도4는 본 발명에 의한 메모리 장치의 구성을 나타내는 블록도.
- 도5는 본 발명에 의한 셀 어레이 블록의 구성도.
- 도6은 본 발명에 의한 메인 비트라인 풀업 제어부의 구성도.
- 도7은 본 발명에 의한 메인 비트라인 부하 제어부의 구성도.
- 도8은 본 발명에 의한 칼럼 선택 제어부의 구성도.
- 도9는 본 발명에 의한 서브 셀 블록의 구성도.
- 도10은 본 발명에 의한 어드레스 입력 전압 제어부의 구성도.
- 도11은 본 발명에 의한 어드레스 입력 전압 제어부에 포함된 어드레스 입력 버퍼부의 구성도.
- 도12는 본 발명에 의한 타이밍 제어부의 구성도.
- 도13은 본 발명에 의한 타이밍 제어부에 포함된 지연시간 조정부의 구성도.
- 도14는 본 발명에 의한 전압 레벨 제어부의 구성도.

도15는 본 발명에 의한 전압 레벨 제어부에 포함된 전압 레벨 조정부의 구성도.

도16은 본 발명에 의한 레지스터 명령 처리부의 구성도.

도17은 본 발명에 의한 프로그램 모드 디코딩 동작을 설명하는 타이밍도.

도18은 본 발명에 의한 레지스터 명령 처리부에 사용된 D 플립플롭의 구성도.

도19는 본 발명에 의한 레지스터의 구성도.

도20은 본 발명에 의한 레지스터를 프로그램하고 레지스터로부터 데이터를 리드하는 과정을 나타내는 타이밍도.

도21은 본 발명에 의한 레지스터를 제어하는 일부 제어신호를 출력하는 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 메모리 장치에 관한 것으로서 특히 입력신호의 전압 레벨, 타이밍 특성, 및 출력 전압 레벨 등과 같은 메모리 장치의 특성을 소프트웨어적인 방법으로 조정할 수 있는 특성 조정 장치를 구비한 메모리 장치에 관한 것이다.

<23> 메모리 장치의 개발과정에서는 칩의 입력전압 레벨, 각종 타이밍 동작 등의 특성을 목표값으로 설정하기 위해서 시뮬레이션 오차 범위 내에서 회로의 파라미터를 반드시 재조정하게 된다.

<24> 종래의 메모리 장치에서는 칩의 특성을 평가한 후에 이를 수정한 결과가 반영되도록 최종적으로 마스크 레이어를 수정하여 생산을 개시한다. 이와 같이 새로운 마스크 레

이어를 사용하여 제품을 생산하는 방법은 마스크레이어의 수정 또는 재작성을 위해 별도의 시간과 비용을 필요로 한다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 위와 같은 종래 기술의 문제점을 해결하고자 출력값을 소프트웨어적으로 프로그램할 수 있는 레지스터를 파라미터 조정을 위한 스위치 제어수단으로 사용함으로써 물리적인 작업 없이 소정의 파라미터를 용이하게 조절할 수 있도록 하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<26> 본 발명에 의한 특성 조정 장치를 구비한 메모리 장치는 비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부, 및 소정의 입력 신호에 대응하는 신호를 출력하되 상기 출력된 신호는 상기 레지스터 제어부에서 출력된 신호에 따라 그 특성이 다르게 제어되는 특성 제어부를 포함한다.

<27> 이하에서는 첨부한 도면을 참조로 본 발명의 실시예에 대하여 상세히 설명한다.

<28> 본 발명의 일실시예는 강유전체 메모리 기술을 사용한다. 이하에서는 강유전체 메모리 장치의 기본적인 구성 및 동작에 대해서 먼저 설명하고 구체적인 실시예에 대하여 설명한다.

<29> 일반적으로 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 DRAM(Dynamic Random Access Memory) 정도의 데이터처리 속도를 갖고 전원의 오프(Off) 시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.

- <30> FeRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는 것이다.
- <31> 도1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 것이다. 도1에서와 같이 전계에 의해 유기된 분극은 전계를 제거하더라도 잔류 분극(또는 자발 분극)의 존재로 인하여 소멸되지 않고 일정량(d, a 상태)을 유지하고 있는 것을 알 수 있다. 강유전체 메모리 셀은 d, a 상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.
- <32> 도2는 강유전체 메모리 장치의 단위 셀을 나타낸 것이다. 도2에 도시된 바와 같이 일방향으로 비트라인(BL)이 형성되고, 비트라인과 교차하는 방향으로 워드라인(WL)이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(PL)이 형성되고, 게이트는 워드라인에 연결되고 소스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고 두 단자 중 제1 단자가 트랜지스터(T1)의 드레인에 연결되고 제2 단자는 플레이트 라인에 연결되도록 강유전체 캐패시터(FC1)가 형성된다.
- <33> 도3은 강유전체 메모리 장치에 사용된 단위 셀의 데이터 입출력 동작을 나타낸다. 도3a는 강유전체 메모리 소자의 라이트 모드(Write Mode)의 동작을 나타내는 타이밍도이고, 도3b는 리드 모드(Read Mode)의 동작을 나타내는 타이밍도이다.
- <34> 도3a에 도시된 라이트 모드의 동작을 설명하면, 외부에서 인가되는 칩 인에이블 신호(CSBpad)가 하이(High)에서 로우(Low)로 활성화되고, 동시에 라이트 인에이블 신호(WEBpad)를 하이에서 로우로 인가하면 라이트 모드가 시작된다. 이어 라이트 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 "로우"에서 "하이"로 천이되어 셀이 선택된다.

- <35> 선택된 셀에 로직값 "1"을 쓰기 위해서는 비트라인에 "하이" 신호를 인가하고 플레이트 라인에는 "로우" 신호를 인가하고, 셀에 로직값 "0"을 쓰기 위해서는 비트라인에 "로우" 신호를 인가하며 플레이트 라인에는 "하이" 신호를 인가한다.
- <36> 다음에는 도3b에 도시된 리드 모드의 동작을 설명한다. 외부에서 칩 인에이블 신호(CSBpad)를 "하이"에서 "로우"로 활성화 시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이즈 신호에 의해 "로우" 전압으로 등전위가 된다.
- <37> 그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 "로우" 신호가 "하이"신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 "하이" 신호를 인가하여 강유전체 메모리에 저장된 로직값 "1"에 상응하는 데이터(Qs)를 파괴한다. 만약 강유전체 메모리에 로직값 "0"이 저장되어 있다면 그에 상응하는 데이터(Qns)는 파괴되지 않는다.
- <38> 이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 "1" 또는 "0"을 감지하게 된다. 즉 데이터가 파괴된 경우는 도1의 히스테리시스 루프에서처럼 d에서 f로 변경된 경우에 해당하고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 것에 해당한다.
- <39> 따라서 일정시간이 경과한 후에 센스앰프가 인에이블 되면 데이터가 파괴된 경우는 증폭되어 로직값 "1"을 출력하고, 데이터가 파괴되지 않은 경우에는 증폭되어 로직값 "0"을 출력한다. 이와 같이, 센스 앰프에서 데이터를 증폭한 후에는 원래의 데이터를 복원하여야 하므로 해당 워드라인에 "하이" 신호를 인가한 상태에서 플레이트 라인을 "하이"에서 "로우"로 비활성화시킨다.

<40> 도4는 본 발명의 일실시예에 의한 특성 조정 장치를 구비한 강유전체 메모리 장치의 구성을 나타내는 블록도이다. 본 발명에 의한 메모리 장치는 셀 어레이 블록(100), 상기 셀 어레이 블록(100)에 포함된 메인 비트라인을 양의 전압으로 풀업시키는 메인 비트라인 풀업제어부(11), 상기 메인 비트라인을 데이터버스부(21)와 연결시키는 칼럼 선택 제어부(12), 데이터버스부(21)와 연결된 센스앰프 어레이(30), 외부와 데이터를 주고 받는 데이터 입출력버퍼(50), 센스앰프 어레이(30)와 데이터 입출력버퍼(50) 사이에 연결된 스위치 제어부(40), 어드레스 입력 버퍼부(210)를 제어하는 제1 레지스터 제어부(510), 제어 입력 버퍼부(220)를 제어하는 제2 레지스터 제어부(520), 데이터 입력 버퍼부(230)를 제어하는 제3 레지스터 제어부(530), 타이밍 제어부(300)를 제어하는 제4 레지스터 제어부(540), 전압 레벨 제어부(400)를 제어하는 제5 레지스터 제어부(550)를 포함한다. 각 구성부분에 대해서는 이하에서 상세히 설명한다.

<41> 도5는 본 발명의 일실시예에 의한 특성 조정 장치를 구비한 강유전체 메모리 장치에 포함된 셀 어레이 블록(100)의 상세 블록도이다. 셀 어레이 블록(100)에는 복수개의 메인 비트라인 부하 제어부(13)와 복수개의 서브 셀 블록(110)이 포함된다. 메인 비트라인 부하 제어부(13)는 하나 또는 복수개가 포함된다.

<42> 도6은 본 발명에 의한 메인 비트라인 풀업 제어부(11)의 구성을 나타낸다. 메인 비트라인 풀업 제어부(11)는 게이트에 제어신호 MBPUC가 입력되고 소스가 양의 전압 VPP(VCC)에 연결되며 드레인이 메인 비트라인 MBL에 연결된 PMOS 트랜지스터로 구성된다.

<43> 메인 비트라인 풀업제어부(11)는 프리차지 동작에서 메인 비트라인 MBL을 양의 전압 VPP(VCC)로 풀업한다.

- <44> 도7은 본 발명에 의한 메인 비트라인 부하 제어부(13)의 구성을 나타낸다. 메인 비트라인 부하 제어부(13)는 게이트에 제어신호 MBLC가 입력되고 소스가 양의 전원 VPP(VCC)에 연결되며 드레인이 메인 비트라인 MBL에 연결된 PMOS 트랜지스터로 구성된다.
- <45> 메인 비트라인 부하 제어부(13)는 양의 전원과 메인 비트라인 MBL 사이에 연결된 저항성 소자로서, 데이터 감지 동작시 메인 비트라인 부하 제어부(13)를 통해 흐르는 전류의 크기에 따라 메인 비트라인 MBL의 전위를 결정하게 된다.
- <46> 메인 비트라인 부하 제어부(13)는 하나 또는 둘 이상이 하나의 메인 비트라인 MBL에 연결된다. 둘 이상의 메인 비트라인 부하 제어부(13)가 연결되는 경우에는 일정한 개수의 서브 셀 블록(110)마다 하나씩 균일하게 배치된다.
- <47> 도8은 본 발명에 의한 칼럼 선택 제어부(12)의 구성을 나타낸다. 칼럼 선택 제어부(12)는 메인 비트라인 MBL과 데이터버스를 연결하는 스위치로서 제어신호 CSN 및 CSP에 의하여 온오프가 제어된다.
- <48> 도9는 본 발명에 의한 서브 셀 블록(110)의 구성을 나타낸다. 하나의 서브 셀 블록(110)은 각각 워드라인(WL<m>) 및 플레이트 라인(PL<m>)에 연결된 복수개의 단위 메모리 셀에 공통으로 연결된 서브 비트라인 SBL, 게이트에 서브 비트라인 SBL의 제1단이 연결되고 드레인이 메인 비트라인 MBL에 연결된 전류 조절용 NMOS 트랜지스터 N1, 게이트에 제어신호 MBSW가 연결되고 드레인이 전류 조절용 NMOS 트랜지스터 N1의 소스에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터 N2, 게이트에 제어신호 SBPD가 연결되고 드레인이 서브 비트라인 SBL의 제2단에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터

N3, 게이트에 제어신호 SBSW2가 연결되고 소스가 서브 비트라인 SBL의 제2단에 연결되고 드레인이 제어신호 SBPU에 연결되는 NMOS 트랜지스터 N4; 및 게이트에 제어신호 SBSW1이 연결되고 드레인이 메인 비트라인 MBL에 연결되고 소스가 서브 비트라인 SBL의 제2단에 연결되는 NMOS 트랜지스터 N5로 구성된다.

<49> 소정의 단위 셀에 접근하는 경우에 해당 단위 셀이 연결된 서브 비트라인 SBL만이 메인 비트라인 MBL과 연결된다. 이때 서브 비트라인 SBL과 메인 비트라인 MBL은 NMOS 트랜지스터 N5에 의해 연결된다. 따라서 메인 비트라인 MBL의 구동부하는 하나의 서브 비트라인 SBL의 구동부하 수준으로 줄어든다.

<50> 서브 비트라인 SBL은 SBPD 신호가 활성화되면 전위가 그라운드 레벨로 조정된다. SBPU 신호는 서브 비트라인 SBL에 공급할 전원 전압을 조정하는 신호이다. SBSW1, SBSW2는 SBPU와 서브 비트라인 SBL 사이의 신호 흐름을 조정하는 제어 신호이다.

<51> 서브 비트라인 SBL은 NMOS 트랜지스터 N1의 게이트에 연결되어 메인 비트라인 MBL의 센싱 전압을 조절한다. 메인 비트라인 MBL은 메인 비트라인 부하 제어부(13)를 경유하여 VPP(VCC)와 연결된다. 제어신호 MBSW가 "하이"가 되면 양의 전원으로부터 메인 비트라인 부하 제어부(13), 메인 비트라인 MBL, NMOS 트랜지스터 N1, 및 NMOS 트랜지스터 N2를 거쳐 그라운드로 전류가 흐르게 된다. 이때 흐르는 전류의 크기는 NMOS 트랜지스터 N1의 게이트에 제공되는 서브 비트라인 SBL의 전압에 의하여 결정된다. 만일 셀의 데이터가 "1"이라면 전류의 양이 커져서 메인 비트라인 MBL의 전압은 작아지고, 셀의 데이터가 "0"이라면 전류의 양이 작아져서 메인 비트라인 MBL의 전압은 높아진다. 이때 메인 비트라인 MBL의 전압과 레퍼런스 전압을 비교함으로써 셀 데이터를 감지할 수 있게 된다. 셀 데이터 감지는 센스 앰프 어레이(30)에서 수행된다.

- <52> 도10 및 도11은 어드레스 입력버퍼(210) 관련 구성, 도12 및 도13은 타이밍 제어부(300) 관련 구성, 도14 및 도15는 전압 레벨 제어부(400) 관련 구성에 대한 도면이다. 레지스터 제어부(510 ~ 550)에 대해서는 도16이하에서 별도로 설명한다.
- <53> 도10은 본 발명에 의한 어드레스 입력 버퍼부(210)와 이를 제어하는 제1 레지스터 제어부(510)를 나타낸다.
- <54> 어드레스 입력 버퍼부(210)는 복수개의 어드레스 입력버퍼(어드레스 입력버퍼_0, ..., 어드레스 입력버퍼_n)를 구비하며 각각의 어드레스 입력버퍼는 A0_Pad, A1_Pad, ..., An_Pad와 연결된다. 제1 레지스터 제어부(510)는 복수개의 레지스터 REG_0, ..., REG_m을 포함하는 레지스터 어레이(511)와 이들을 제어하는 레지스터 명령 처리부(512)를 포함한다. 각각의 어드레스 입력 버퍼는 레지스터 어레이(511)로부터 출력되는 신호 RE_0, RE_1, ..., RE_m을 입력받는다. 레지스터 명령 처리부(512) 및 각 레지스터 REG_0, REG_1, ..., REG_m의 구성에 대해서는 도16이하에서 상세히 설명한다.
- <55> 도11a는 어드레스 입력 버퍼부(210)에 포함된 각각의 어드레스 입력 버퍼의 제1 실시예의 구성을 나타낸다. 각각의 어드레스 입력 버퍼는 게이트에 레지스터의 출력 RE_0, ..., RE_m이 입력되고, 소스는 VCC와 연결되는 복수개의 PMOS 트랜지스터 P₀, ..., P_m으로 구성된 전류 조정부(211), 소스에 상기 PMOS 트랜지스터 P₀, ..., P_m의 드레인이 연결된 PMOS 트랜지스터 CP와 드레인이 PMOS 트랜지스터 CP의 드레인과 연결된 NMOS 트랜지스터 CN 및, NMOS 트랜지스터 CN의 드레인과 연결된 버퍼를 포함한다. 어드레스 입력 패드 Input_Pad는 PMOS 트랜지스터 CP 및 NMOS 트랜지스터 CN의 게이트와 연결된다.

- <56> 전류 조정부(211)에 포함된 트랜지스터 P_0, \dots, P_m 중 온 상태의 트랜지스터 개수에 따라서 PMOS 트랜지스터 CP의 소스에 제공되는 전류의 양이 달라지므로 결국 어드레스 입력 패드 Input_Pad에 제공된 어드레스 신호의 탐지 레벨이 달라진다.
- <57> 도11b는 어드레스 입력 버퍼부(210)에 포함된 각각의 어드레스 입력 버퍼의 제2 실시예의 구성을 나타낸다. 본 실시예는 도11a에 도시된 실시예에 칩 인에이블 신호 CEB에 따라서 활성화 여부를 제어하도록 하는 특징을 부가한 실시예이다. 도11a에 도시된 PMOS 트랜지스터 CP는 PMOS 트랜지스터 CP_0 , 도11a에 도시된 NMOS 트랜지스터 CN은 NMOS 트랜지스터 CN_0 에 해당한다. 본 실시예에서는 PMOS 트랜지스터 CP_1 과 NMOS 트랜지스터 CN_1 이 추가된다. PMOS 트랜지스터 CP_1 은 PMOS 트랜지스터 CP_0 와 NMOS 트랜지스터 CN_0 사이에 연결되고, NMOS 트랜지스터 CN_1 은 NMOS 트랜지스터 CN_0 의 드레인과 그라운드 사이에 연결된다. 칩 인에이블 신호 CEB는 PMOS 트랜지스터 CP_1 과 NMOS 트랜지스터 CN_1 의 게이트에 연결된다.
- <58> 칩 인에이블 신호 CEB가 "하이"이면 NMOS 트랜지스터 CN_1 이 온이 되므로 어드레스 입력 패드 Input_Pad의 신호에 관계없이 버퍼(212)에는 "로우"레벨이 제공된다. 칩 인에이블 신호 CEB가 "하이"이면 PMOS 트랜지스터 CP_1 이 온이 되어 도11a에 도시된 실시예와 동일하게 동작한다.
- <59> 도11c는 어드레스 입력 버퍼부(210)에 포함된 각각의 어드레스 입력버퍼의 제3 실시예의 구성을 나타낸다. 본 실시예에서 전류 조정부(211)는 복수개의 NMOS 트랜지스터 N_0, \dots, N_m 로 구성된다. 각각의 NMOS 트랜지스터 N_0, \dots, N_m 의 게이트는 레지스터의 출력 RE_0, \dots, RE_m 과 연결되고 소스는 VSS와 연결된다.

- <60> 어드레스 입력 패드 Input_Pad는 PMOS 트랜지스터 CP_0 과 NMOS 트랜지스터 CN_0 의 게이트에 입력되고, 칩 인에이블 신호 CEB는 PMOS 트랜지스터 CP_1 과 NMOS 트랜지스터 CN_1 의 게이트에 입력된다.
- <61> PMOS 트랜지스터 CP_0 의 소스는 VCC에 연결되고 NMOS 트랜지스터 CN_0 의 소스는 NMOS 트랜지스터 N_0, \dots, N_m 의 드레인과 연결된다. PMOS 트랜지스터 CP_1 은 PMOS 트랜지스터 CP_0 과 병렬로 연결된다. NMOS 트랜지스터 CN_1 의 소스는 NMOS 트랜지스터 CN_0 의 드레인과 연결되며, 드레인은 PMOS 트랜지스터 CP_1 의 드레인과 연결된다. 버퍼(212)는 PMOS 트랜지스터 CP_0 의 드레인과 연결된다.
- <62> 본 실시예의 동작은 도11b 에 도시된 실시예와 동일하므로 설명을 생략한다. 또한 제어 입력 버퍼부(220)와 이를 제어하는 제2 레지스터 제어부(520), 데이터 입력 버퍼부(230)와 이를 제어하는 제3 레지스터 제어부(530)는 도10 및 도11에 도시된 어드레스 입력 버퍼부(210)와 이를 제어하는 제1 레지스터 제어부(510)의 구성과 동일하므로 설명을 생략한다.
- <63> 도12는 본 발명에 의한 지연시간 조정부(300)와 지연시간 조정부(300)를 제어하는 제4 레지스터 제어부(500)를 나타낸다. 제4 레지스터 제어부(540)는 전술한 제1 레지스터 제어부(510)와 동일하게 구성되므로 상세한 설명은 생략한다.
- <64> 도13a는 지연시간 조정부(300)의 제1 실시예의 구성을 나타낸다. 지연시간 조정부(300)는 게이트에 레지스터의 출력 RE_0, \dots, RE_m 이 입력되고, 소스가 VCC와 연결되는 PMOS 트랜지스터 P_0, \dots, P_m 으로 구성된 전류 조정부(310), 소스에 상기 PMOS 트랜지스터 P_0, \dots, P_m 의 드레인이 연결된 PMOS 트랜지스터 CP, 드레인이 PMOS 트랜지스터

의 드레인과 연결된 NMOS 트랜지스터 CN 및, PMOS 트랜지스터 CP의 소스와 그라운드 사이에 연결된 지연 커패시터(320)를 포함한다. 입력신호 Delay_In이 PMOS 트랜지스터 CP와 NMOS 트랜지스터 CN의 게이트에 제공되면 PMOS 트랜지스터 CP의 드레인에서 입력신호가 소정의 시간만큼 지연되고 인버팅되어 출력된다.

<65> 지연시간은 전류 조정부(310)와 지연 커패시터(320)에 의하여 조절된다. 전류 조정부(310)에 포함된 트랜지스터 P_0, \dots, P_m 중 온 상태의 트랜지스터 개수에 따라서 PMOS 트랜지스터 CP의 소스에 제공되는 전류의 양이 달라지므로 VCC와 PMOS 트랜지스터 CP의 소스 사이의 저항이 조절되는 결과가 된다. 따라서 지연 커패시터(320)와 함께 RC 지연 시간을 조절하게 된다.

<66> 도13b는 지연시간 조정부(300)의 제2 실시예의 구성을 나타낸다. 도13a와 달리 지연 커패시터(320)는 NMOS 트랜지스터 CN의 드레인과 그라운드 사이에 연결된다. 기타 작동원리는 도13a와 같다.

<67> 도14는 본 발명에 의한 전압 레벨 제어부(400)와 이를 제어하는 제5 레지스터 제어부(550)를 나타낸다. 제5 레지스터 제어부(550)는 제1 레지스터 제어부(510)와 동일하게 구성되므로 상세한 설명은 생략한다.

<68> 도15a는 본 발명에 의한 전압 레벨 제어부(400)의 제1 실시예의 구성을 나타낸다. 전압 레벨 제어부(400)는 게이트에 레지스터의 출력 RE_0, ..., RE_m이 입력되고, 소스가 VCC와 연결되는 PMOS 트랜지스터 P_0, \dots, P_m 으로 구성된 전류 조정부(410), 소스에 상기 PMOS 트랜지스터 P_0, \dots, P_m 의 드레인이 연결된 PMOS 트랜지스터 CP, 드레인이 PMOS 트랜지스터의 드레인과 연결된 NMOS 트랜지스터 CN, 및 게이트에 VCC가 연결되고

소스는 그라운드에 연결되며 드레인이 NMOS 트랜지스터 CN의 소스와 연결된 NMOS 트랜지스터(420)로 구성된다.

<69> 제어신호 Control_In은 PMOS 트랜지스터 CP와 NMOS 트랜지스터 CN의 게이트에 입력되고 PMOS 트랜지스터 CP의 드레인에서 전압 Voltage_Level이 출력된다.

<70> 전류 조정부(410)에 포함된 PMOS 트랜지스터 중에서 온 상태에 있는 트랜지스터의 수에 따라서 PMOS 트랜지스터 CP의 소스에 흐르는 전류의 양이 달라진다. 따라서 동일한 레벨의 제어신호 Control_In이 입력되더라도 상기 전류의 양에 따라서 출력되는 전압 Voltage_Level의 값이 달라진다.

<71> 도15b는 본 발명에 의한 전압 레벨 제어부(400)의 제2 실시예의 구성을 나타낸다. 본 실시예에서는 도15a에 도시된 NMOS 트랜지스터 CN을 사용하지 않는다. NMOS 트랜지스터(420)의 드레인은 PMOS 트랜지스터 CP의 드레인과 연결된다. PMOS 트랜지스터 CP의 드레인에서 전압 Voltage_Level이 출력된다. 기타의 동작은 제1 실시예와 동일하므로 설명을 생략한다.

<72> 도15c는 본 발명에 의한 전압 레벨 제어부(400)의 제3 실시예의 구성을 나타낸다. 본 실시예에서는 도15a에 도시된 PMOS 트랜지스터 CP를 사용하지 않는다. NMOS 트랜지스터 CN의 드레인은 PMOS 트랜지스터 P_0, \dots, P_m 의 드레인과 연결되며, NMOS 트랜지스터 CN의 드레인에서 전압 Voltage_Level이 출력된다. 기타의 동작은 제1 실시예와 동일하므로 설명을 생략한다.

<73> 도16은 본 발명에 의한 제1 내지 제5 레지스터 제어부(510 ~ 550)에 포함된 레지스터 명령 처리부(512, 522, 532, 542, 552)의 구성을 나타낸다. 레지스터 명령 처리부는

칩 인에이블 신호 CEB, 라이트 인에이블 신호 WEB, 및 출력 인에이블 신호 OEB를 디코딩하여 소정의 경우에 프로그램 모드가 수행되도록 하는 명령신호 CMD_n을 출력한다. 도17은 본 발명에 의한 레지스터 명령 처리부의 동작을 나타내는 타이밍도이다. 도17을 참조하여 도16의 레지스터 명령 처리부의 동작을 설명한다.

<74> 우선 라이트 인에이블 신호 WEB 및 칩 인에이블 신호 CEB가 "로우"로 활성화되면 출력 인에이블 신호 OEB의 토글링이 D 플립플롭의 클록 입력에 제공된다. D 플립플롭이 n개 이므로 출력 인에이블 신호 OEB가 n번 토글링하면 NOR 게이트의 "하이"출력이 n번째 플립플롭의 출력신호 CMD_n에 제공된다. 그런데 출력 신호 CMD_n이 활성화되었을 때 출력 인에이블 신호 OEB가 "하이"가 되면 모든 D 플립플롭이 리셋이 되어 출력신호 CMD_n이 "로우"로 천이하게 된다. 즉 출력신호 CMD_n은 출력 인에이블 신호 OEB의 n번째 하강에지에 활성화되어 OEB가 상승하면 다시 비활성화된다.

<75> 도18은 본 발명에 의한 프로그램 명령 처리부에 사용된 D 플립플롭의 구성을 나타낸다. 일반적으로 D 플립플롭은 클록의 에지에 동기되어 입력단에 제공된 신호를 샘플링하여 출력하는 주지된 회로이다. 본 회로의 동작을 간략히 설명하면 다음과 같다. 본 회로는 클록 CP의 하강에지에 동기되어 입력신호 d를 샘플링하는 회로이다. 마스터부(61)는 클록이 "하이" 레벨에 있는 경우 마스터부(61)의 스위치 S1을 열어서 입력신호 d를 래치에 저장한다. 이 때 슬레이브부(62)에 있는 스위치 S2는 닫혀있어서 입력신호 d가 슬레이브부(62)의 래치에까지 전달되지 않는다. 클록 CP가 "로우"로 천이하게 되면 마스터부(61)의 스위치 S1은 닫히게 되고 슬레이브부(62)에 있는 스위치 S2가 열리게 되어 마스터부(61)의 래치에 저장되어 있던 데이터가 슬레이브부(62)의 래치에 저장되고 슬레이브부(62)의 래치에 저장된 신호는 클록의 다음 번 하강에지까지 계속 출력된다.

- <76> 도19는 본 발명에 의한 레지스터 어레이(511, 521, 531, 541, 551)에 포함된 각 레지스터 REG_0, ..., REG_m의 회로도이다. 레지스터는 크게 제1 증폭부(71), 입력부(72), 저장부(73), 및 제2 증폭부(74)로 구성된다.
- <77> 제1 증폭부(71)는 게이트에 제1 제어신호 ENP가 입력되고 소스가 양의 전원에 연결된 PMOS 트랜지스터 P1, 게이트가 제1 노드와 연결되고 소스가 PMOS 트랜지스터 P1의 드레인과 연결되며 드레인이 제2 노드에 연결된 PMOS 트랜지스터 P2, 및 게이트가 제2 노드와 연결되고 소스가 PMOS 트랜지스터 P1의 드레인과 연결되며 드레인이 제1 노드에 연결된 PMOS 트랜지스터 P3으로 구성된다.
- <78> 제2 증폭부(74)는 게이트가 제1 노드와 연결되고 드레인이 제2 노드와 연결된 NMOS 트랜지스터 N3, 게이트가 제2 노드와 연결되고 드레인이 제1 노드와 연결된 NMOS 트랜지스터 N4, 및 게이트에 제2 제어신호 ENN가 입력되고 드레인이 NMOS 트랜지스터 N3의 소스 및 NMOS 트랜지스터 N4의 소스와 연결되며 소스는 그라운드와 연결된 NMOS 트랜지스터 N5로 구성된다.
- <79> 입력부(72)는 게이트에 제3 제어신호 ENW가 입력되고 소스에 데이터 신호 SET(An)이 입력되고 드레인이 제2 노드에 연결된 NMOS 트랜지스터 N2 및 게이트에 제어신호 ENW가 입력되고 소스에 데이터 신호 RESET(AnB)가 입력되고 드레인이 제1노드에 연결된 NMOS 트랜지스터 N1로 구성된다.
- <80> 저장부(73)는 제4 제어신호 CPL 라인과 제1 노드의 사이에 연결된 강유전체 커패시터 FC1, 제4 제어신호 CPL 라인과 제2 노드의 사이에 연결된 강유전체 커패시터 FC2, 제1 노드와 그라운드의 사이에 연결된 강유전체 커패시터 FC3, 및 제2 노드와 그라운드의 사이에 연결된 강유전체 커패시터 FC4로 구성된다.

- <81> 제1 증폭부(71)와 제2 증폭부(74)는 제어신호 ENP가 "로우"이고 제어신호 ENN이 "하이"일 때, 제1 노드와 제2 노드의 전압차에 따라서 이들을 각각 VCC 및 VSS(또는 그 반대)로 고정시키는 역할을 한다. 제어신호 ENP가 "하이"이고 제어신호 "ENN"이 로우이면 레지스터는 전원으로부터 차단된다.
- <82> 입력부(72)는 제어신호 ENW가 "하이"인 경우에 데이터 신호 SET 및 RESET을 각각 제2 및 제1 노드에 제공한다. 제어신호 ENW가 "로우"인 경우에는 제1 및 제2 노드는 데이터 신호 SET 및 RESET으로부터 차단된다.
- <83> 저장부(73)는 제어신호 CPL을 조절하여 제1 노드와 제2 노드에 제공된 데이터를 강유전체 커패시터 FC1, FC2, FC3, 및 FC4에 저장한다.
- <84> 제2 노드에서는 출력신호 RE_m이 제공된다. 레지스터의 동작에 대해서는 이하에서 설명한다.
- <85> 도20a는 프로그램 명령 신호 CMD_n이 활성화된 경우 새로운 데이터를 레지스터에 프로그램하는 과정을 나타내는 타이밍도이다. 프로그램 명령 신호 CMD_n이 활성화되면 프로그램 과정이 종료될 때까지 레지스터 명령 처리부(520)를 비활성화한다.
- <86> t1 구간에서 프로그램 명령 신호 CMD_n이 활성화되고, t2 구간에서 데이터 입출력 패드에서 제공된 데이터 신호인 DQ_n 신호가 "하이"에서 "로우"로 천이하면 제어신호 ENW가 활성화되어 데이터 신호 SET 및 RESET가 각각 제2 노드와 제1 노드에 제공된다. CPL이 "하이"가 되면 제1 노드와 제2 노드의 전압에 따라서 강유전체 커패시터 FC1 내지 FC4에 신호가 저장된다. 예를 들어 제1 노드가 "로우"이고 제2 노드가 "하이"인 경우라면 FC1과 FC4에 데이터가 전하가 저장된다.

- <87> t3 구간에서 제어신호 ENW가 "로우"가 되면 데이터 신호 SET 및 RESET가 제1 노드와 제2 노드에서 분리된다. 제1 노드와 제2 노드의 전압은 제1 증폭기(71)와 제2 증폭기(74)에 의해 증폭되어 유지된다. 제어신호 CPL이 로우가 되면 FC1과 FC3 사이, FC2와 FC4 사이에서 각각 전하의 재분배가 일어난다. 이때 제1 노드와 제2 노드의 전압에도 변동이 생긴다. 위의 예에서 제2 노드의 전압은 제1 노드의 전압보다 높은 수준이 된다. 강유전체 커패시터 FC1 내지 FC4는 전원이 없는 상태에서도 저장된 전하를 유지한다. t4 구간에서 DQ_n이 "하이"가 되면 프로그램 모드가 종료한다.
- <88> 도20b는 장치에 처음으로 전원을 공급한 경우 본 발명에 의한 레지스터에 저장된 신호를 리드하는 동작을 나타내는 타이밍도이다.
- <89> t1 구간에서 전원이 안정된 레벨에 도달하면 파워-업(Power Up) 탐지 신호인 PUP가 발생한다. PUP를 이용하여 제어신호 CPL을 "하이"로 천이시키면 도13의 FC1, FC2에 저장되어 있던 전하가 FC3 및 FC4의 용량 부하에 의해 제1 노드와 제2 노드 사이에서 전압차를 발생시킨다.
- <90> 충분한 전압차가 발생하면 t2 구간에서 제어신호 ENN과 ENP를 각각 "하이"와 "로우"로 활성화함으로써 제1 노드와 제2 노드의 데이터를 증폭한다.
- <91> 증폭이 완료되면 t3구간에서 제어신호 CPL을 "로우"로 천이시켜 파괴되었던 FC1 혹은 FC2의 "하이"데이터를 복구하게 된다. 이때 제어신호 ENW는 "로우"로 비활성화되어 데이터 신호 SET 및 RESET이 제2 및 제1 노드에 제공되는 것을 방지한다.
- <92> 도21은 전술한 제어신호 ENW 및 CPL을 생성하기 위한 회로이다. 제어신호 PUP는 초기의 리셋 직후의 상태에서 레지스터에 저장된 데이터를 읽은 후 복구하기 위한 신호이

다. 프로그램 명령 신호 CMD_n이 활성화된 후, DQ_n을 "하이"에서 "로우"로 천이시키면 지연회로의 지연시간만큼 펄스폭을 갖는 제어신호 ENW 와 CPL 신호가 발생한다(도19a 참조).

【발명의 효과】

<93> 본 발명을 적용함으로써 메모리 장치의 특성을 소프트웨어적인 프로그램으로써 조절할 수 있게 되므로 특성 조절을 위해 마스크 레이아웃을 변경할 필요가 없게 된다. 따라서 메모리 장치의 개발 비용 및 개발 시간을 획기적으로 개선할 수 있게 된다.

【특허청구범위】**【청구항 1】**

비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부; 및

소정의 입력 신호에 대응하는 신호를 출력하되 상기 출력된 신호는 상기 레지스터 제어부에서 출력된 신호에 따라 그 특성이 다르게 제어되는 특성 제어부

를 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 2】

제 1 항에 있어서, 상기 레지스터 제어부는

복수개의 레지스터를 포함하는 레지스터 어레이; 및

외부에서 제공된 복수개의 신호를 디코딩하여 상기 프로그램 모드 및 리드 모드를 식별하고 상기 모드에 따라 상기 복수개의 레지스터를 개별적으로 제어하는 레지스터 명령 처리부

를 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 3】

제 2 항에 있어서, 상기 레지스터는

제 1 제어신호에 응답하여 제1 노드 및 제2 노드 중에서 전압이 높은 노드의 전압을 양의 전압으로 증폭하여 고정시키는 제1 증폭부;

제2 제어신호에 응답하여 상기 제1 노드 및 상기 제2 노드 중에서 전압이 낮은 노드의 전압을 그라운드 전압으로 증폭하여 고정시키는 제2 증폭부;

제3 제어신호에 응답하여 상기 제1 노드 및 제2 노드에 데이터 신호를 제공하는 입력부; 및

제 4 제어신호에 응답하여 상기 제1 노드 및 제2 노드에 제공된 신호를 저장하며 전원이 없는 상태에서 저장된 정보를 유지할 수 있는 저장부

를 포함하고

상기 제1 및 제2 노드의 전압을 외부로 출력하는 것을 특징으로 하는 특성 조정 장치.를 구비한 메모리 장치.

【청구항 4】

제 3 항에 있어서, 상기 제1 증폭부는

게이트에 상기 제1 제어신호가 입력되고, 소스가 양의 전원에 연결된 제1 PMOS 트랜지스터;

게이트가 상기 제1 노드와 연결되고, 소스가 상기 제1 PMOS 트랜지스터의 드레인과 연결되며, 드레인이 상기 제2 노드에 연결된 제2 PMOS 트랜지스터; 및

게이트가 상기 제2 노드와 연결되고, 소스가 상기 제1 PMOS 트랜지스터의 드레인과 연결되며, 드레인이 상기 제1 노드에 연결된 제3 PMOS 트랜지스터

를 포함하는 것을 특징으로 하는 라이트 보호 영역을 구비한 강유전체 메모리 장치.

【청구항 5】

제 3 항에 있어서, 상기 제2 증폭부는

게이트가 상기 제1 노드와 연결되고, 드레인이 상기 제2 노드와 연결된 제1 NMOS 트랜지스터;

게이트가 상기 제2 노드와 연결되고, 드레인이 상기 제1 노드와 연결된 제2 NMOS 트랜지스터; 및

게이트에 상기 제2 제어신호가 입력되고, 드레인이 상기 제1 NMOS 트랜지스터의 소스 및 제2 NMOS 트랜지스터의 소스와 연결되며, 소스는 그라운드와 연결된 제3 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 라이트 보호 영역을 구비한 강유전체 메모리 장치.

【청구항 6】

제 3 항에 있어서, 상기 입력부는

게이트에 제3 제어신호가 입력되고 소스에 제1 데이터 신호가 입력되며 드레인이 제1 노드와 연결된 제1 NMOS 트랜지스터; 및

게이트에 제3 제어신호가 입력되고 소스에 제2 데이터 신호가 입력되며 드레인이 제2 노드와 연결된 제2 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 라이트 보호 영역을 구비한 강유전체 메모리 장치

【청구항 7】

제 3 항에 있어서, 상기 저장부는

제 1 단에 상기 제4 제어신호가 입력되고 제2 단이 상기 제1 노드와 연결된 제1 강유전체 커패시터;

제1 단에 상기 제4 제어신호가 입력되고 제2 단이 상기 제2 노드와 연결된 제2 강유전체 커패시터;

제 1 단이 상기 제1 노드와 연결되고 제2 단이 그라운드와 연결된 제3 강유전체 커패시터; 및

제1 단이 상기 제2 노드와 연결되고 제2 단이 그라운드와 연결된 제4 강유전체 커패시터

를 포함하는 것을 특징으로 하는 라이트 보호 영역을 구비한 강유전체 메모리 장치.

【청구항 8】

제 2 항에 있어서 상기 레지스터 명령 처리부는

상기 외부에서 제공된 복수개의 신호에 포함된 라이트 인에이블 신호 및 칩 인에이블 신호가 활성화 된 상태에서 출력 인에이블 신호가 소정의 횟수만큼 토글링하면 프로그램 모드를 시작하고, 상기 프로그램 모드가 시작하면 프로그램 모드의 동작이 종료될 때까지 상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 및 상기 출력 인에이블 신호를 무시하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 9】

비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부;

상기 레지스터 제어부에서 출력된 신호에 따라 전류의 양을 조절하여 출력할 수 있는 전류 조정부;

상기 전류 조정부에서 출력된 전류의 양에 따라 외부에서 입력된 신호의 전압 레벨을 변경하여 출력하는 신호 처리부; 및

상기 신호 처리부에서 출력된 신호를 제공받는 버퍼

를 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 신호 처리부의 상기 외부에서 입력된 신호는 어드레스 신호, 데이터 신호, 제어 신호 중 어느 하나인 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 11】

제 9 항에 있어서,

상기 신호 처리부는 제어신호를 입력받아 상기 제어신호가 비활성화된 경우에는 상기 외부에서 입력된 신호에 관계없이 상기 신호 처리부에서 출력되는 신호를 소정의 전압레벨로 고정시키는 전압고정수단을 추가로 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 12】

비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부;

상기 레지스터 제어부에서 출력된 신호에 응답하여 전류의 양을 조절하여 출력하는 전류 조정부;

상기 전류 조정부의 출력단과 그라운드 사이에 연결된 커패시터; 및

상기 전류 조정부에서 출력된 전류의 크기 및 상기 커패시터의 용량에 응답하여 외부에서 입력된 신호를 소정의 시간만큼 쉬프트하여 출력하는 지연 조정부를 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 13】

비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부;

상기 레지스터 제어부에서 출력된 복수개의 신호에 응답하여 전류의 양을 조절하여 출력하는 전류 조정부; 및

상기 전류 조정부에서 출력된 전류의 크기 및 출력단과 그라운드 사이에 연결된 커패시터의 용량에 응답하여 외부에서 입력된 신호를 소정의 시간만큼 쉬프트하여 출력하는 지연 조정부

를 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 14】

비휘발성 메모리 소자로 구성되며 데이터를 리드 또는 라이트할 수 있는 레지스터 제어부;

상기 레지스터 제어부에서 출력된 복수개의 신호에 응답하여 전류의 양을 조절하여 출력하는 전류 조정부;

양단에 흐르는 전류의 크기가 일정한 전류 고정부; 및

상기 전류 조정부와 상기 전류 고정부의 사이에 연결되며 외부에서 입력된 제어신호, 상기 전류 조정부에서 출력되는 전류의 크기, 및 상기 전류 고정부에 일정하게 흐르는 전류의 크기에 응답하여 소정의 전압을 출력하는 전압 발생부

를 포함하는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 15】

제 9 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 전류 조정부는

게이트에 상기 레지스터 제어부에서 출력된 복수개의 신호 중 어느 하나가 연결되고, 소스가 양의 전원에 연결된 복수개의 PMOS 트랜지스터를 포함하며 상기 복수개의 PMOS 트랜지스터의 드레인은 공통으로 연결되어 상기 드레인에서 전류가 출력되는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 16】

제 1 항에 있어서,

상기 메모리 장치는 강유전체 메모리 장치인 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【청구항 17】

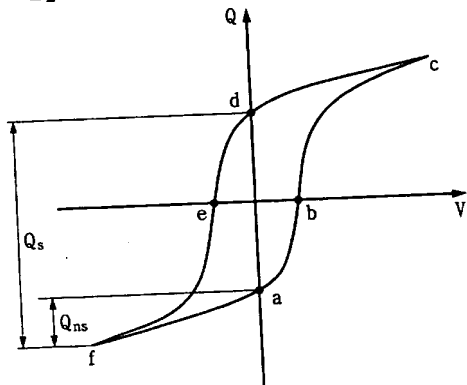
제 16 항에 있어서,

상기 강유전체 메모리 장치는 비트라인이 복수개의 단위 셀이 연결된 서브 비트라인과 복수개의 상기 서브 비트라인이 스위치를 통하여 연결된 메인 비트라인으로 계층화되어 구성되며

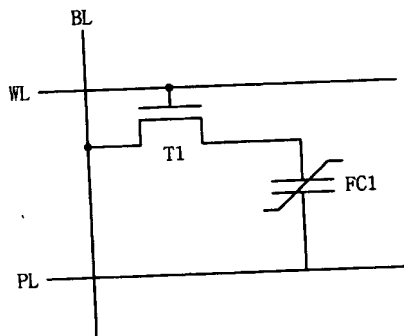
상기 복수개의 단위 셀 중 소정의 단위 셀에 접근하는 경우 상기 단위 셀을 포함하는 서브 비트라인과 상기 메인 비트라인을 연결하는 스위치만이 온 상태가 되고 나머지 서브 비트라인과 상기 메인 비트라인을 연결하는 스위치는 모두 오프 상태가 되는 것을 특징으로 하는 특성 조정 장치를 구비한 메모리 장치.

【도면】

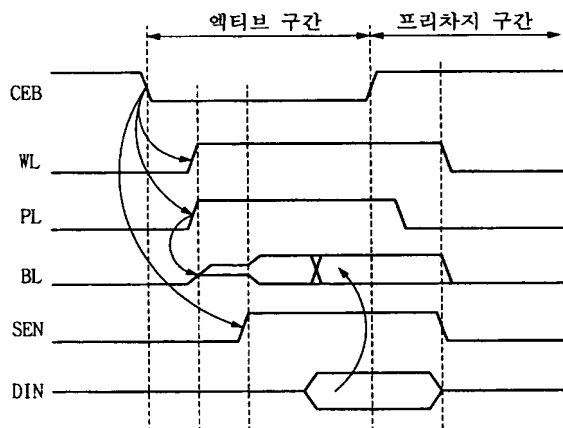
【도 1】



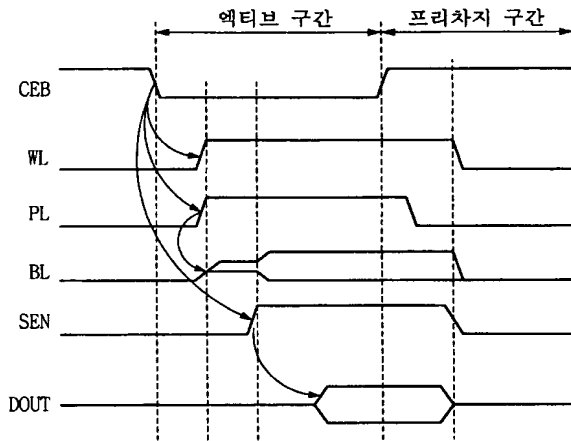
【도 2】



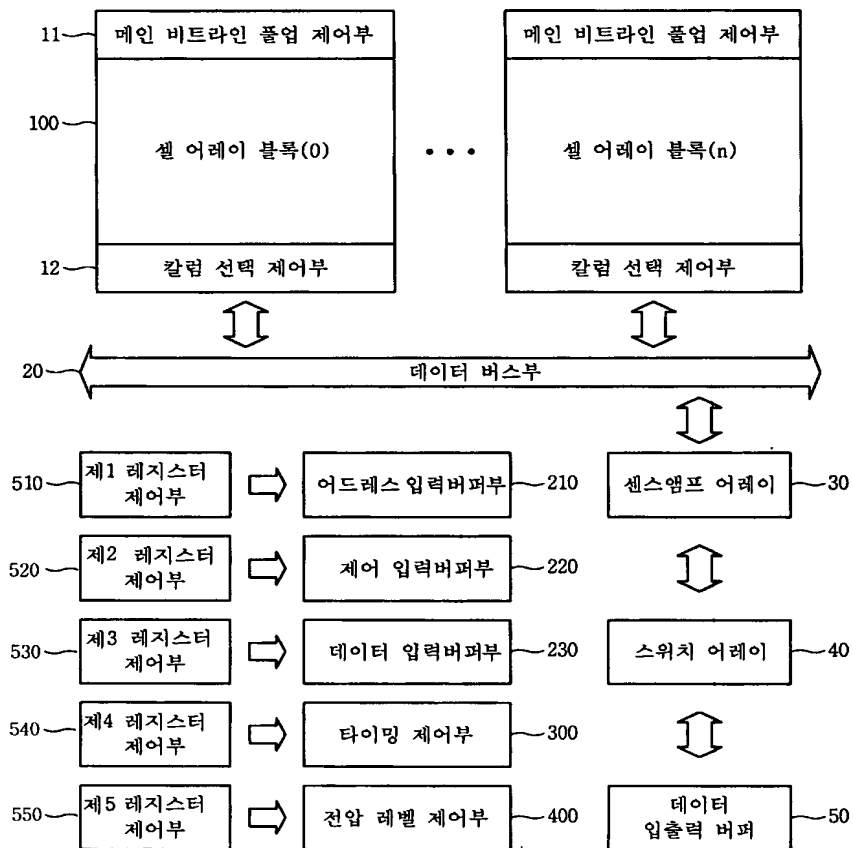
【도 3a】



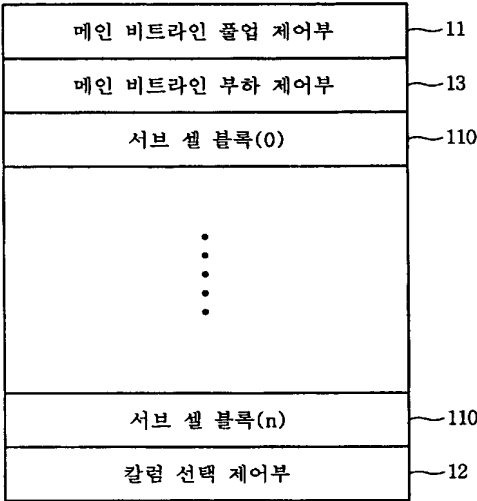
【도 3b】



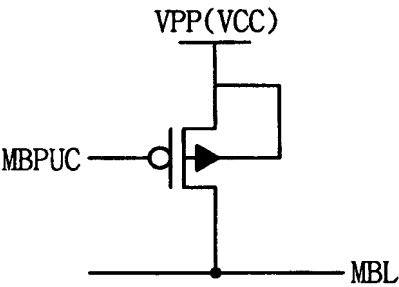
【도 4】



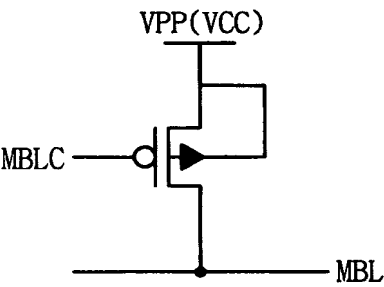
【도 5】



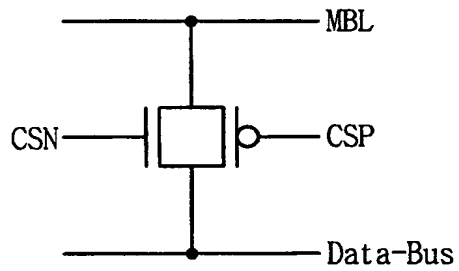
【도 6】



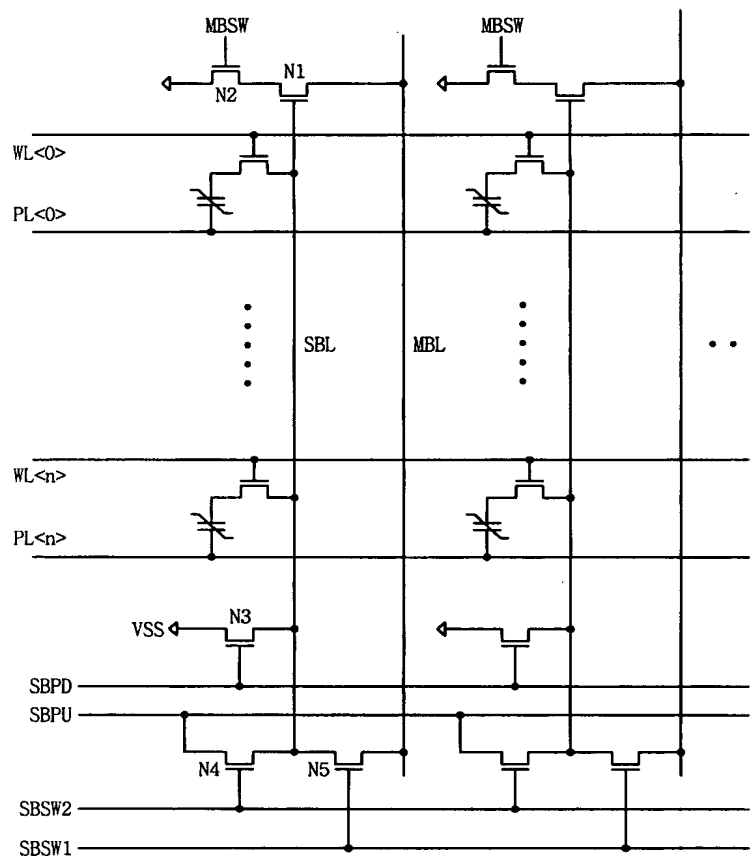
【도 7】



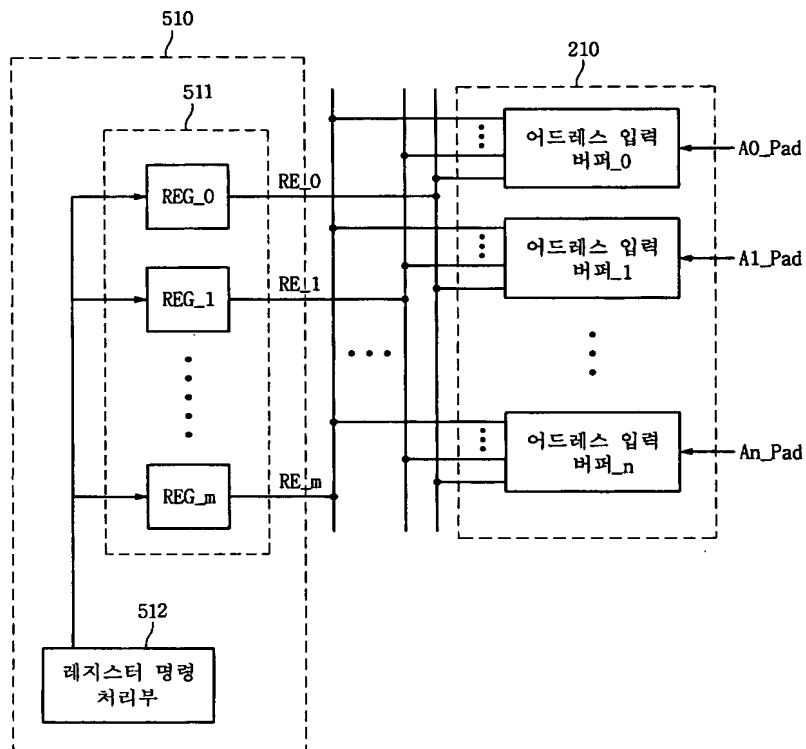
【도 8】



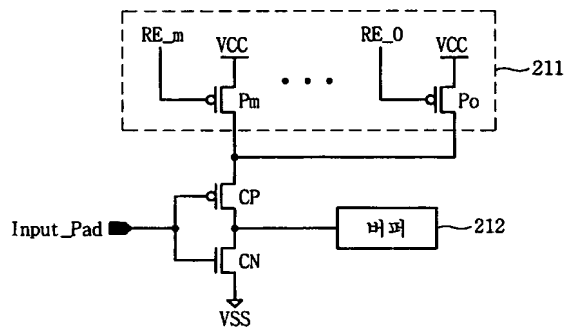
【도 9】



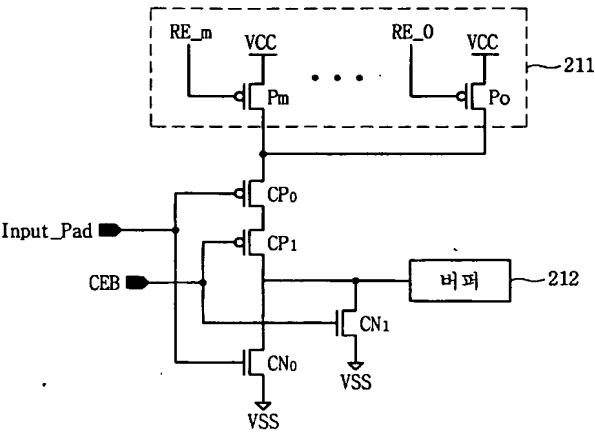
【도 10】



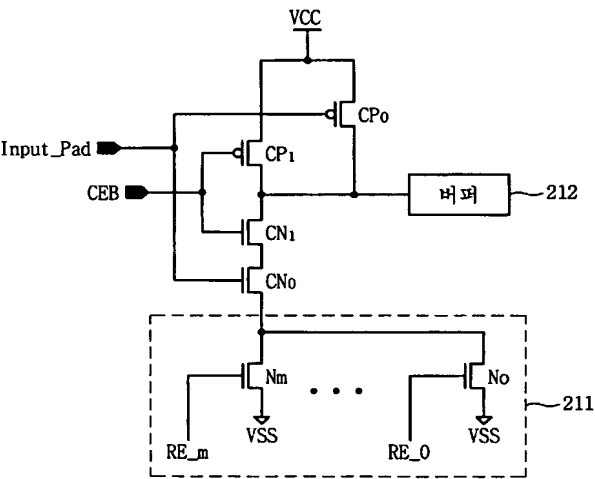
【도 11a】



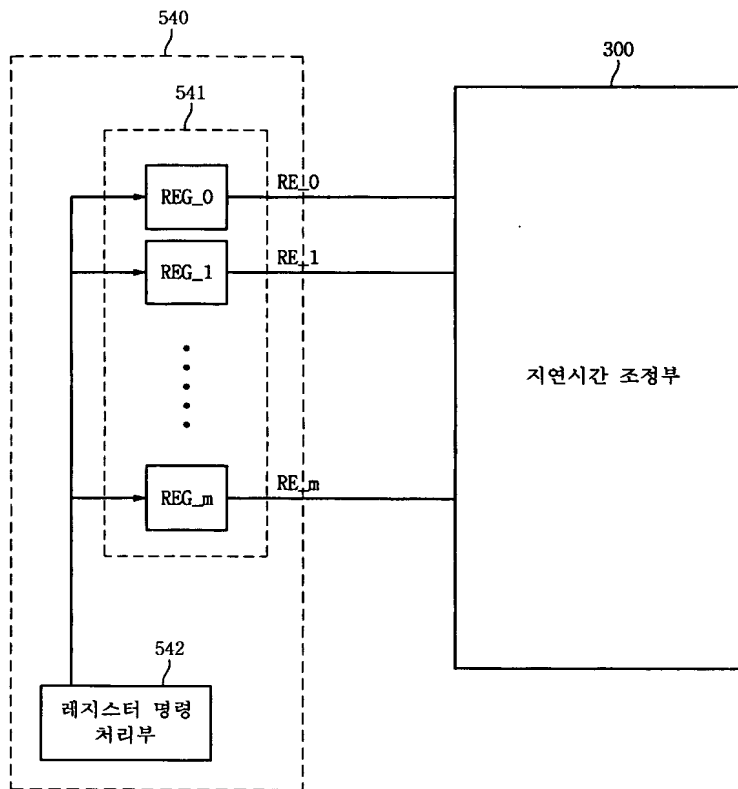
【도 11b】



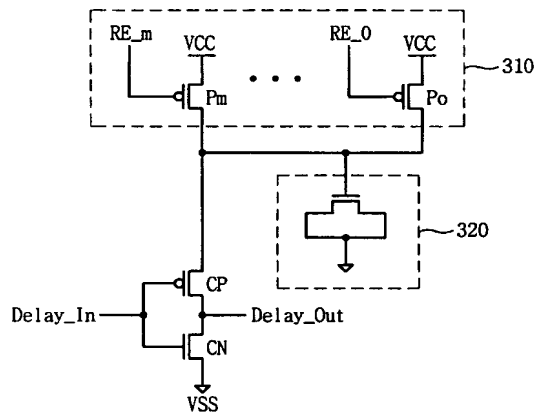
【도 11c】



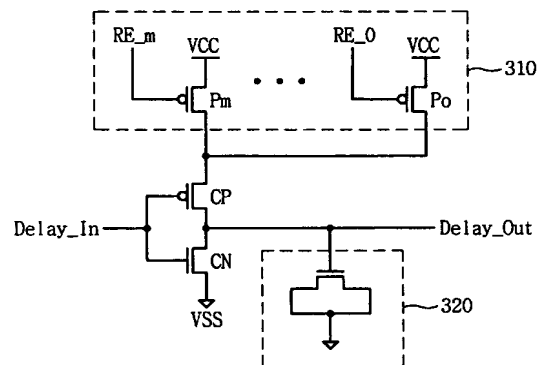
【도 12】



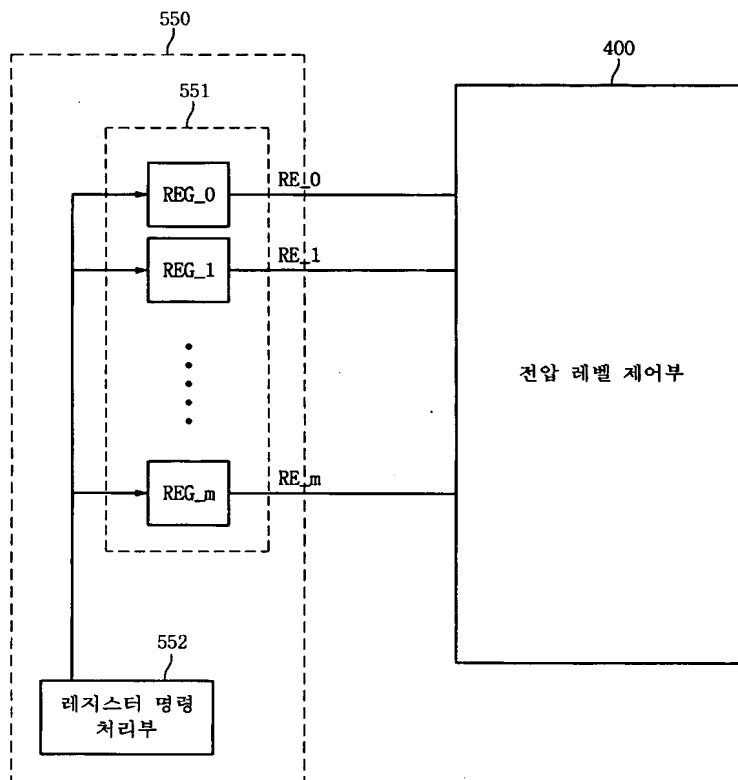
【도 13a】



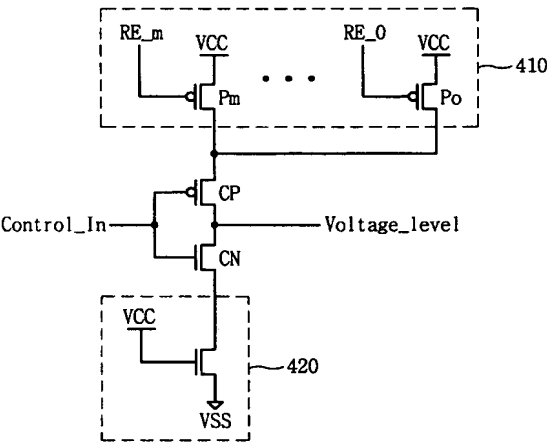
【도 13b】



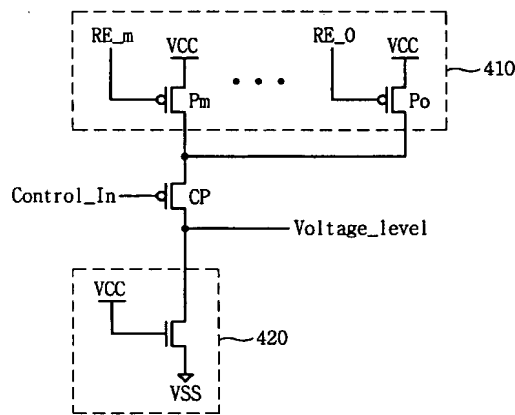
【도 14】



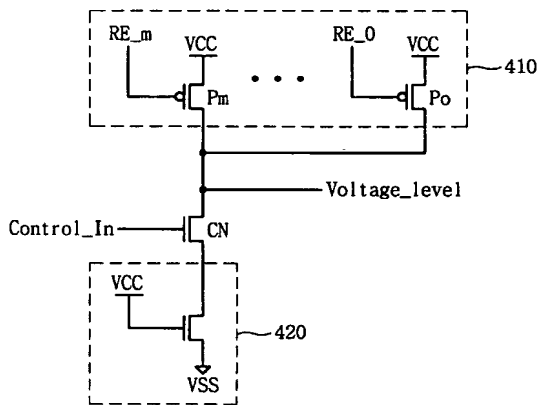
【도 15a】



【도 15b】



【도 15c】

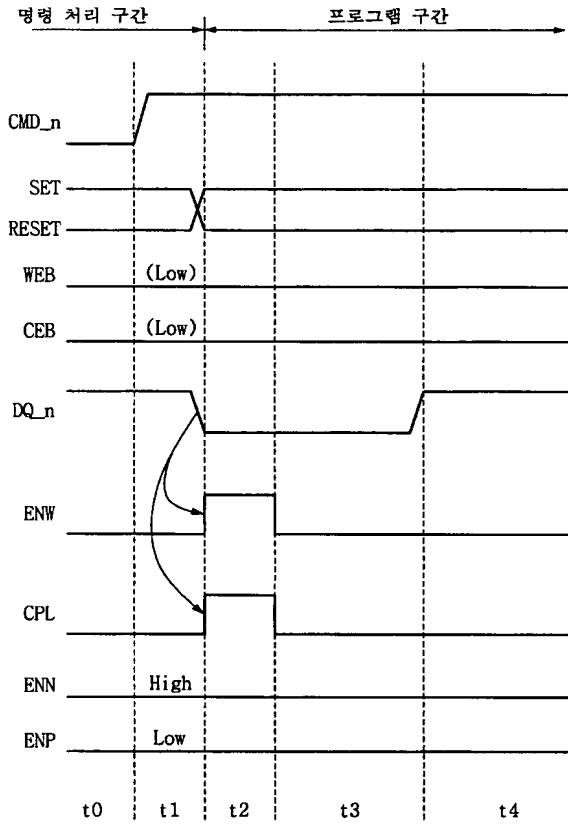


[illegible]

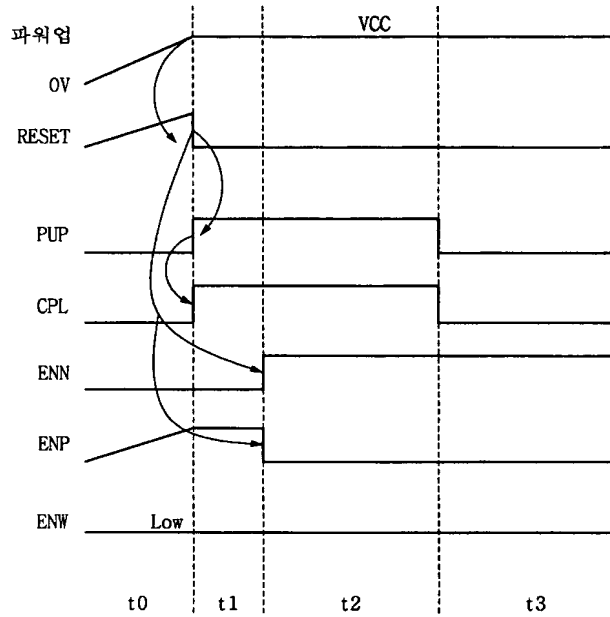
The diagram shows the timing of the command input signal (CMD_n) and address signals (/CE_Pad, WEB_Pad, OEB_Pad) relative to the instruction execution period (명령 처리 구간) and program period (프로그램 구간). The /CE_Pad and WEB_Pad signals are active-low, indicated by a 'Low' label. The OEB_Pad signal is active-low, indicated by a '1' at the start of the pulse. The CMD_n signal is active-low, indicated by a '1' at the start of the pulse. The OEB_Pad signal is shown as a series of pulses labeled 1, 2, ..., m, m+1, with a note (m_Toggle) indicating the toggle behavior.

The diagram shows the timing of the command input (CMD_n) and output signals (CEB, WEB, OEB) during the command processing interval (명령 처리 구간) and program interval (프로그램 구간). The output signals (CEB, WEB, OEB) are active-low signals. The OEB signal is shown as a series of pulses, with the first pulse labeled 1, the second labeled 2, and the last labeled n+1. The OEB signal is labeled (n_Toggle) below it. The CMD_n signal is shown as a single pulse at the end of the program interval.

【도 20a】



【도 20b】



【도 21】

